

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-126834  
 (43)Date of publication of application : 11.05.1999

(51)Int. Cl. H01L 21/8247  
 H01L 29/788  
 H01L 29/792  
 H01L 27/115

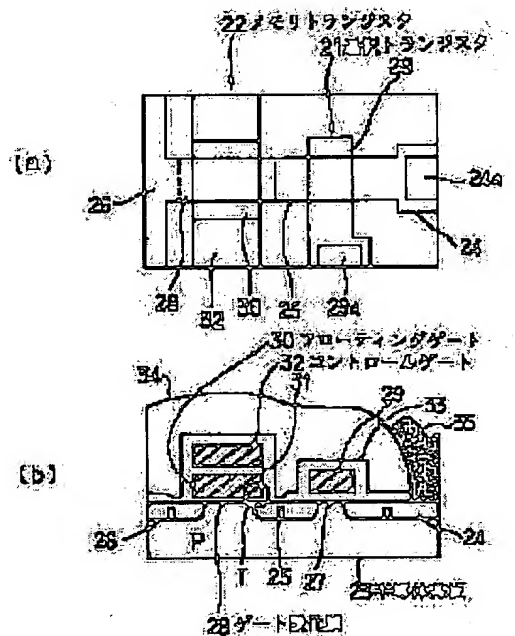
(21)Application number : 09-292515 (71)Applicant : DENSO CORP  
 (22)Date of filing : 24.10.1997 (72)Inventor : KAWAGUCHI TSUTOMU  
 SUZUI KEISUKE

## (54) SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

## (57)Abstract:

PROBLEM TO BE SOLVED: To improve a semiconductor device in capacitive coupling ratio or in degree of integration by a method, wherein a part of a memory transistor where a tunnel current is made to flow is lessened in area.

SOLUTION: A semiconductor device is equipped with a selection transistor 21 and a memory transistor 22, wherein a floating gate 30 and a control gate 32 are formed on a gate oxide film 28, where the tunnel current of the memory transistor 22 flows through, ions are implanted using these gates 30 and 32 as masks, and thermal diffusion treatment is carried out or impurities are introduced through an oblique ion implantation process for the formation of an n-type impurity region 25, and a part of the n-type impurity region 25 which confronts the floating gate 30 is controlled in area. A tunnel film can be formed keeping smaller in area and higher in controllability than one formed by patterning, and a semiconductor device of this constitution can be markedly improved in a capacitive coupling ratio.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's  
decision of rejection]

[Kind of final disposal of application  
other than the examiner's decision of  
rejection or application converted  
registration]

[Date of final disposal for  
application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-126834

(43) 公開日 平成11年(1999) 5月11日

(51) Int.Cl.<sup>8</sup>

H 0 1 L 21/8247  
29/788  
29/792  
27/115

識別記号

F I

H 0 1 L 29/78  
27/10

3 7 1  
4 3 4

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号

特願平9-292515

(22) 出願日

平成9年(1997)10月24日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 川口 勉

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

(72) 発明者 鈴木 啓介

愛知県刈谷市昭和町1丁目1番地 株式会  
社デンソー内

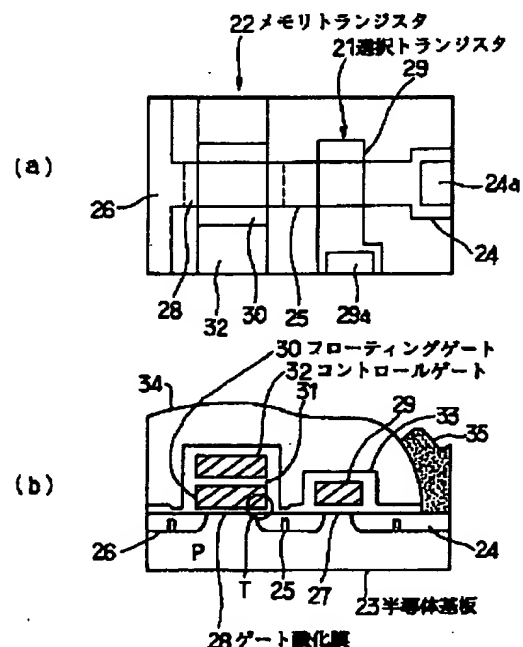
(74) 代理人 弁理士 佐藤 強

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 メモリトランジスタのトンネル電流を流す部分の面積を小さくできるようにして容量カップリング比の向上あるいは集積度の向上を図る。

【解決手段】 選択トランジスタ21とメモリトランジスタ22を設ける構成で、メモリトランジスタ22のトンネル電流を流すゲート酸化膜28を形成した上にフローティングゲート30、コントロールゲート32を形成し、これらゲート30、32をマスクとしてイオン注入および熱拡散処理を行ったり、あるいは斜めイオン注入などにより不純物を導入してn型不純物領域25を形成してフローティングゲート30との対向する面積を制御する。パターニングによりトンネル膜を形成する製法と異なり、小さい面積で制御性良く形成でき、容量カップリング比の大幅な改善を図れる。



## 【特許請求の範囲】

【請求項 1】 メモリトランジスタおよび選択トランジスタを備え、前記選択トランジスタの導通状態で前記メモリトランジスタの不揮発性の記憶内容を電氣的に書き替え可能な構成のメモリセルを有する半導体装置において、

前記メモリトランジスタは、半導体基板にチャネル領域を挟んで対向するように形成されたソース領域およびドレイン領域と、前記半導体基板のソース領域からドレイン領域にかけてその表面を覆うように形成されたゲート酸化膜と、このゲート酸化膜上に前記ソース領域およびドレイン領域にかかるように形成されたフローティングゲートと、このフローティングゲートの上部に絶縁膜を介して形成されたコントロールゲートとを備え、前記ゲート酸化膜を、少なくとも前記ソース領域あるいはドレイン領域と前記フローティングゲートと対向する部分がトンネル電流が流れる程度の膜厚に設定されていることを特徴とする半導体装置。

【請求項 2】 請求項 1 に記載の半導体装置において、前記ゲート酸化膜は、前記フローティングゲートの下部に全面に前記トンネル電流が流れる程度の膜厚に形成されていることを特徴とする半導体装置。

【請求項 3】 メモリトランジスタおよび選択トランジスタを備え、前記選択トランジスタの導通状態で前記メモリトランジスタの不揮発性の記憶内容を電氣的に書き替え可能な構成のメモリセルを有する半導体装置の製造方法において、

半導体基板の前記メモリトランジスタに対応する部分の表面にトンネル電流を流すことができる程度の膜厚を有するゲート酸化膜を形成するゲート酸化膜形成工程と、前記ゲート酸化膜上にフローティングゲートおよびコントロールゲートを絶縁膜を介して積層したゲート電極を形成するゲート電極形成工程と、

前記半導体基板に前記ゲート電極をマスク部材としてイオン注入により不純物を導入して前記フローティングゲートおよびコントロールゲートとオーバーラップするドレイン領域およびソース領域を形成する不純物導入工程とを有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、メモリトランジスタおよび選択トランジスタを備え、選択トランジスタの導通状態でメモリトランジスタの不揮発性の記憶内容を電氣的に書き替え可能な構成のメモリセルを有する半導体装置およびその製造方法に関する。

## 【0002】

【発明が解決しようとする課題】 従来、この種のEEPROMとしては、例えば図 3 に示すようなものがある。これは、EEPROMのひとつのセルの構造を示すもの

で、セルは選択トランジスタ 1 とメモリトランジスタ 2 とから構成されている。p 型の半導体基板 3 の表層には n 型不純物領域 4、5、6 が形成されており、表面には酸化膜 7 が形成されている。

【0003】 n 型不純物領域 4、5 の間の上部には多結晶シリコンからなる選択ゲート電極 8 が設けられている。n 型不純物領域 5、6 の間の上部には多結晶シリコンからなるフローティングゲート電極 9、酸化膜 10 およびコントロールゲート電極 11 が形成され、全体の表面には酸化膜 12 が形成されている。また、n 型不純物領域 5 のフローティングゲート電極 9 と対向する部分の酸化膜 7 は、トンネル電流が流れる領域であるトンネル膜 7a として膜厚が薄く形成されている。そして、n 型不純物領域 4 の一部にアルミニウム電極 13 が形成され、他の部分を覆うように層間絶縁膜 14 が形成されている。

【0004】 なお、上述の構成は、セルの上面から見た状態では、選択トランジスタ 1 に対して、メモリトランジスタ 2 はフローティングゲート電極 9 が正形状をなし、これを覆うようにして上下方向に延出するようにコントロールゲート電極 11 が設けられている。トンネル膜 7a は、フローティングゲート電極 9 により覆われた部分に形成されており、これを取り囲むようにして n 型不純物領域 5 が形成されている。

【0005】 選択トランジスタ 1 は、n 型不純物領域 4、5 をそれぞれソース、ドレイン領域とし、選択ゲート電極 8 により駆動制御するように構成されている。メモリトランジスタ 2 は、n 型不純物領域 5、6 をそれぞれソース、ドレイン領域とし、コントロールゲート電極 11 により駆動制御するように構成されている。

【0006】 上記構成において、書き込み時には、コントロールゲート電極 11 に高電圧を印加した状態でドレイン電極である n 型不純物領域 5 を接地することにより、フローティングゲート電極 9 にトンネル膜 7a を介して電子を注入する。これにより、メモリトランジスタ 2 のしきい値電圧が高い方にシフトする。また、消去時には、コントロールゲート電極 11 を接地した状態でドレイン電極である n 型不純物領域 5 に高電圧を印加することにより、フローティングゲート電極 9 の電子を取り除くことにより元の状態に戻す。なお、上述の場合に、n 型不純物領域 5 を接地あるいは高電圧を印加する場合には、選択トランジスタ 1 をオンさせた状態で n 型不純物領域 4 と導通させた状態で行なう。

【0007】 さて、上述のような構成の EEPROM のメモリセルにおいては、電氣的特性の点では通常の RAM 等のメモリに比べて書き換え速度が遅いため、できるだけ速度を速くすることが求められている。そこで、この速度を速くするための方策としては、フローティングゲート電極 9 と n 型不純物領域 5 との間に印加される電圧つまりトンネル膜 7a に印加される電圧を高くすること

が考えられる。

【0008】これは、フローティングゲート電極9に電圧を印加するためにはコントロールゲート電極11に電圧を印加することにより間接的に行なうことに起因するものである。つまり、コントロールゲート電極11とn型不純物領域5との間に電圧Vを印加したときに、トンネル膜7aに印加される電圧V2は、酸化膜10に印加される電圧V1を差し引いた値となる ( $V2 = V - V1$ )。

【0009】ここで、フローティングゲート電極9、コントロールゲート電極11およびn型不純物領域5までの部分は、コントロールゲート電極11とフローティングゲート電極9との間の静電容量C1とフローティングゲート電極9とn型不純物領域5との間の静電容量C2とを直列に接続した構成と考えることができるから、トンネル膜7aに印加される電圧V2は、静電容量C2に印加される電圧を求めることになる。

【0010】これは、2つの静電容量C1、C2の容量カップリング比Ccである

$$Cc = C1 / (C1 + C2)$$

の値により決まるもので、この値を用いると、静電容量C2に印加される電圧V2は、

$$V2 = Cc \times V$$

となるから、この容量カップリング比Ccの値が「1」に近いほど電圧V2の値が大きくなることになる。

【0011】そこで、電圧V2を大きくするための構成を考える。各静電容量C1、C2の値は、メモリトランジスタ2の構造の縦横寸法に大きく依存しており、速度向上のためには、コントロールゲート電極11、フローティングゲート電極9の面積に比べて、トンネル膜7aの面積をできる限り小さく設定することにより静電容量C2の値を小さくすることが必要である。

【0012】しかしながら、従来構成のものでは、前述したように、あらかじめn型不純物領域5aを埋込形成しておいて対向するフローティングゲート電極9に対して所定寸法で形成したトンネル膜7aを介して電子の移動を行なう構成としているので、トンネル膜7aの面積つまり静電容量C2を決める面積はその加工技術の限界以下には小さくすることができず、したがって、加工技術によって制約を受けることになる。

【0013】このことは、例えば、コントロールゲート電極11とフローティングゲート電極9との間の酸化膜10の膜厚を25nm、トンネル膜7aの膜厚を10nm、トンネル膜7a部分の加工技術の限界を1μm角(面積は1μm<sup>2</sup>)としたときに、コントロールゲート電極11とn型不純物領域5との間に印加される電圧Vが12Vである場合を考えると、トンネル膜7aにトンネル電流を流すために必要な電界強度10MV/cmを発生させるためには、酸化膜10の面積を12.5μm<sup>2</sup>程度に設定する必要がある。

【0014】つまり、フローティングゲート電極9の面積は、トンネル膜7aの面積の12.5倍の大きな面積が必要となるのである。したがって、この面積がメモリセルの最小面積を制約しており、これよりも小さいメモリセルを形成しようとする、トンネル膜に十分な電圧が印加できない場合が生じて、書き込みや消去の速度が低下することになり、特性の劣化が生ずる原因となるものであった。

【0015】本発明は、上記事情に鑑みてなされたもので、その目的は、素子加工限界に制約されずにセル面積に対するカップリング比を高めることができる半導体装置およびその製造方法を提供することにある。

【0016】

【課題を解決するための手段】請求項1の発明によれば、半導体装置におけるメモリトランジスタの構造として、ソース領域およびドレイン領域に対してそれらの間を覆うように形成するゲート酸化膜を少なくともフローティングゲートと対向する部分にトンネル電流が流れる程度の膜厚に設定しているので、ソース領域あるいはドレイン領域とフローティングゲートとが対向する部分つまりオーバーラップする狭い領域によりトンネル電流を流す構成を形成することができ、これによって、容量カップリング比を大きくしながら全体の面積を小形化することができ、加工技術の制約を受けることなく小形化を図ることができる構成とすることができる。

【0017】請求項3の発明によれば、上述した半導体装置におけるメモリトランジスタを形成する方法として、ゲート酸化膜形成工程において、半導体基板のメモリトランジスタに対応する部分の表面にトンネル電流を流すことができる程度の膜厚を有するゲート酸化膜を形成し、次のゲート電極形成工程において、ゲート酸化膜上にフローティングゲートおよびコントロールゲートを絶縁膜を介して積層したゲート電極を形成し、続く不純物拡散工程において、半導体基板に上述のゲート電極をマスク部材としてイオン注入により不純物を導入してフローティングゲートおよびコントロールゲートとオーバーラップするようにドレイン領域およびソース領域を形成する。

【0018】これにより、ソース領域あるいはドレイン領域とフローティングゲートとがゲート酸化膜を挟んだ状態で対向するオーバーラップ領域が形成され、この部分のゲート酸化膜を介してフローティングゲートにトンネル電流を流すことができるようになる。この場合、オーバーラップ領域の面積は不純物の横方向飛程による幅を制御することにより設定することができるので、従来のようなバターニングによりトンネル膜部分を形成するものと異なり、微小な面積に設定することができるようになり、この結果、容量カップリング比を大きいものとしながらメモリトランジスタの面積を大幅に小さくすることができ、全体として小形化あるいは高集積化を図る

ことができるようになる。

#### 【0019】

【発明の実施の形態】以下、本発明の一実施形態について図1および図2を参照して説明する。図1はEEPROMを構成している多数のメモリセルのうちの1個分のメモリセルの平面図および模式的断面図を示すもので、このメモリセルは、選択トランジスタ21およびメモリトランジスタ22から構成されている。

【0020】半導体基板としてのシリコン基板23は、例えば導電型がp型となるように不純物が導入されている。このシリコン基板23の表層部にはn型の不純物であるAs（砒素）が所定領域に所定深さまで導入されたn型不純物領域24、25、26が形成されている。これらn型不純物領域24～26は、後述するようにイオン注入によりAsイオンを内部に導入した上で熱拡散処理により形成されたものである。n型不純物領域24と25との間は選択トランジスタ21のチャネル領域として設けられ、n型不純物領域25と26との間はメモリトランジスタ22のチャネル領域として設けられている。

【0021】シリコン基板23の表面には、n型不純物領域24、25の間のチャネル領域の表面に所定膜厚（例えば、膜厚25nm）のゲート酸化膜27が設けられ、n型不純物領域25、26の間のチャネル領域の表面にトンネル電流を流すことができる程度の膜厚（例えば、膜厚10nm）のゲート酸化膜28が設けられている。

【0022】ゲート酸化膜27上にはn型不純物領域24、25の端部にかかるようにしてゲート電極29が形成されている。このゲート電極29は、例えば多結晶シリコンをパターニングすることにより形成されている。また、ゲート酸化膜28上にはn型不純物領域25、26の端部にかかるようにしてフローティングゲート30が形成されると共に、酸化膜31を介してコントロールゲート32が形成されている。

【0023】フローティングゲート30およびコントロールゲート32は共に多結晶シリコンを成膜してパターニングしたものであり、この場合においては、フローティングゲート30は同図（a）にも示すように略正方形で他の部分とは電氣的に絶縁された状態に設けられており、コントロールゲート32はこのフローティングゲート30を覆うようにして上下方向に延出するように設けられている。

【0024】また、フローティングゲート30およびコントロールゲート32は、同図（b）中で横方向にはn型不純物領域25、26の端部が所定寸法だけ対抗するようにオーバーラップされた状態に形成されている。この対抗している部分の面積は、後述するようにして製造することにより、従来例で示した構成のものと比較すると1/10程度の面積（例えば、 $0.1\mu\text{m}^2$ ）となる

ように形成されている。また、このオーバーラップする領域のゲート酸化膜28はトンネル電流が流せる程度の膜厚に形成されており、ここでは、図中Tで示す部分がトンネル膜として機能するようになっている。

【0025】上述した3つのゲート電極29、30、32の上面にはこれらを覆うようにして全面に絶縁膜としての酸化膜33が形成されている。さらに、酸化膜33の上にはゲート電極29、30、32などによる凹凸を解消するように層間絶縁膜34が設けられている。また、n型不純物領域24の一部は、層間絶縁膜34および酸化膜33に窓部24aが形成され、電氣的接触をとるようにアルミニウム電極35が形成されている。また、ゲート電極29に対しても、チャネル領域から離れた位置に電氣的接触をとるように形成された窓部29aにアルミニウム電極が形成されている。また、コントロールゲート32およびn型不純物領域26に対しても、図示はしないが電氣的接触がとられる構成とされている。

【0026】さて、メモリセルは上記したように構成されているので、例えば、書き込み動作時には、コントロールゲート電極32に読出し時よりも高電圧を印加した状態でドレイン電極であるn型不純物領域25を接地することにより、フローティングゲート電極30にトンネル膜であるゲート酸化膜28を介して電子を注入する。これにより、メモリトランジスタ22のしきい値電圧が高い方にシフトする。したがって、しきい値電圧よりも低い通常の読出し時の電圧を印加してもメモリトランジスタ22はオンしないので、情報の書き込み状態にあることがわかるのである。

【0027】また、消去時には、コントロールゲート電極32を接地した状態でドレイン電極であるn型不純物領域25側に高電圧を印加することにより、フローティングゲート電極30の電子を取り除くことにより元の状態に戻す。なお、上述の場合に、n型不純物領域25を接地あるいは高電圧を印加する場合には、選択トランジスタ21をオンさせた状態でn型不純物領域24との間を導通させることにより行なう。

【0028】この場合、上述の動作においては、前述した従来構成のものに比べて容量カップリング比が大きくなっているので、図1に示したように選択トランジスタ21の面積に対してメモリトランジスタ22の面積をほぼ同等の面積に設定しても従来と同様の動作を行なわせることができる。つまり、メモリトランジスタ22の書き込みおよび消去のいずれの動作についても従来構成のものと同等の機能を持たせる場合でも、その面積を例えば1/10程度に小さくすることができるのである。

【0029】これは、次のような理由による。すなわち、フローティングゲート30とn型不純物領域25との対向する面積つまりオーバーラップ領域の面積を、従来の加工限界である $1\mu\text{m}^2$ 程度であるのに対して、

0.  $1 \mu\text{m}^2$  に設定した状態に形成することができるからである。これにより、オーバーラップ領域の静電容量  $C_2$  が  $1/10$  程度に低下するので、容量カップリング比の改善を図ることができるのである。この結果、従来構成と同程度の面積で構成する場合にはトンネル膜であるゲート酸化膜 28 部分に印加される電界強度は、略  $12 \text{MV/cm}$  とすることができるようになる。この場合、トンネル電流を流すのに必要な電界強度は、 $10 \text{MV/cm}$  程度であるから、十分な電界強度を確保することができるようになる。

【0030】また、逆に、従来構成のものと同程度の容量カップリング比を維持するようにフローティングゲート 30 とコントロールゲート 32 との対向する領域の面積（静電容量  $C_1$  の面積）を設定すると、従来例の場合の  $1/10$  の面積である  $1.25 \mu\text{m}^2$  とすることができるようになる。

【0031】この結果、フローティングゲート 30 と n 型不純物領域 25 とのオーバーラップ領域の面積を小さくすることにより、書き込みおよび消去に必要な電圧を印加する場合のフローティングゲート 30 への分担電圧を大きくして電界強度を高めることができ、書き込み消去速度を向上させることができるようになる。また、これによって、コントロールゲート 32 に書き込みあるいは消去のために印加する電圧を低く設定することもできるようになる。

【0032】次に、上述の構成の製造過程について図 2 を参照して説明する。まず、シリコン基板 23 の表面に、トンネル膜として機能するゲート酸化膜 28 を全面に形成する（図 2 (a) 参照）。次に、多結晶シリコン膜を全面に形成してこれをフォトリソグラフィ処理によりドライエッチング等の異方性エッチングを行なうことによりパターニングしてフローティングゲート 30 を設ける（同図 (b) 参照）。

【0033】次に、酸化膜を全面に形成してパターニングすることにより、ゲート酸化膜 27 および酸化膜 31 を形成する。さらに、この上に多結晶シリコン膜を全面に形成して異方性エッチングによりパターニングしてコントロールゲート 32 および選択ゲート 29 を形成する（同図 (c) 参照）。この後、全体を覆うように絶縁膜としての酸化膜 33 を形成する（同図 (d) 参照）。

【0034】次に、n 型不純物領域 24, 25, 26 を形成するために、不純物としての As (砒素) のイオン注入を行なう（同図 (e) 参照）。この場合、イオン注入は、図 1 (a) に示すようなパターニングを行なってマスクをすると共に、選択ゲート 29 およびフローティングゲート 30 部分をマスクとして用いることにより行なう。

【0035】これにより、ゲート電極 29, 30 に対してはセルフアライメントとなるので、イオン注入領域 24a, 25a, 26a を精度良く形成することができ

る。この後、熱処理を行なって注入したイオンを等方的に拡散させる（同図 (f) 参照）。フローティングゲート 30 の下部にも端部から横方向拡散によって拡散し、ゲート酸化膜 28 を挟んでオーバーラップ領域が形成されるようになる。なお、このオーバーラップ領域の幅寸法の制御は、イオン注入のドーズ量および熱処理の温度、時間などを制御することにより行なう。

【0036】なお、n 型不純物領域 25, 26 をフローティングゲート 30 およびコントロールゲート 32 とオーバーラップするように形成する方法としては、この他に、斜めイオン注入を加速電圧、注入角度等の条件を調整することにより形成することができる。この場合には、熱処理工程を省くことも可能である。

【0037】この後、図示はしないが、層間絶縁膜 34 を全面に形成し、電気的接触を形成するためのコンタクトホールを開口させた状態として電極材料であるアルミニウム等を蒸着し、所定の形状にパターニングすることにより電極 35 等を形成する。これによって図 1 に示す構造の EEPROM のメモリセルを形成することができる。

【0038】さて、上述のようにしてメモリセルを形成するので、フローティングゲート 30 と n 型不純物領域 25 とが対向するオーバーラップ領域の面積を、横方向への拡散を制御することにより微小な面積となるように形成することができるので、従来構成のもののようなパターニングにより形成する場合よりも小さい面積に形成できる。この結果、例えば、オーバーラップ幅を 0.  $1 \mu\text{m}$  程度とすることができるので、面積として  $1/10$  程度に小さくすることができるのである。

【0039】このような本実施形態によれば、フローティングゲート 30 を形成する部分にあらかじめトンネル電流を流すことができる程度の膜厚のゲート酸化膜 28 を形成すると共に、フローティングゲート 30 の部分をマスクとして n 型不純物領域 25 をイオン注入および熱拡散処理により形成することにより、n 不純物領域 25 がフローティングゲート 30 とオーバーラップする領域を設けるようにしたので、このオーバーラップする領域を介してトンネル電流の授受を行なう構成とすることができる。

【0040】これにより、従来のパターニングによりトンネル膜部分を形成する構成と異なり、トンネル電流を流すための領域を加工限界による最小面積の設定よりも小さい面積に簡単に形成することができ、従来構成のものに対して相対的に、容量カップリング比の改善を図ってメモリセルの面積を小さくすることができると共に、書き込みおよび消去の速度を向上させることができるようになる。

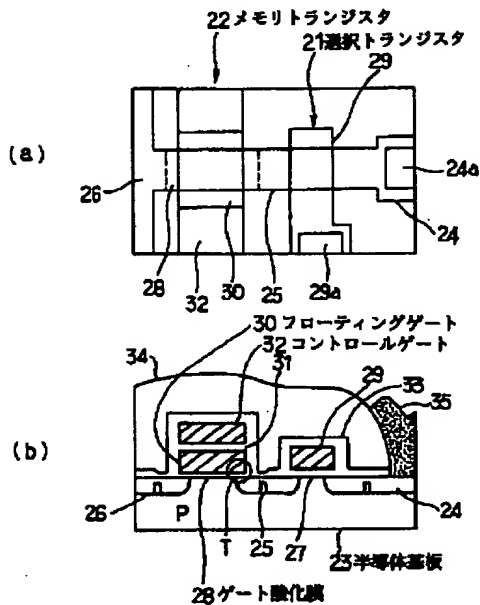
【0041】また、オーバーラップする領域の面積については、イオン注入のドーズ量や熱拡散時の温度や熱処理時間などによって制御することができるので、簡単な

工程で実施できることに加えて、その制御性の点においても優れた特性を有するものである。

【0042】なお、本発明は、選択トランジスタ21を設ける構成のEEPROMであるから、メモリトランジスタ22がディプレッション状態となっても選択トランジスタ21によりカットオフすることができるので、フラッシュEEPROMにおけるような過剰消去などの問題が生じないという特徴を有するものである。

【0043】本発明は、上記実施形態にのみ限定されるものではなく、次のように変形また拡張できる。ゲート酸化膜28の膜厚は適宜の膜厚に変更することができる。メモリトランジスタ22のサイズは、書き込みおよび消去の速度と集積度との関係を所望の条件を満たすよ

【図1】



うに設定することができ、従来構成のものよりも相対的に小型化を図ることができる。

【図面の簡単な説明】

【図1】本発明の一実施形態を示すセルの模式的な平面図および縦断側面図

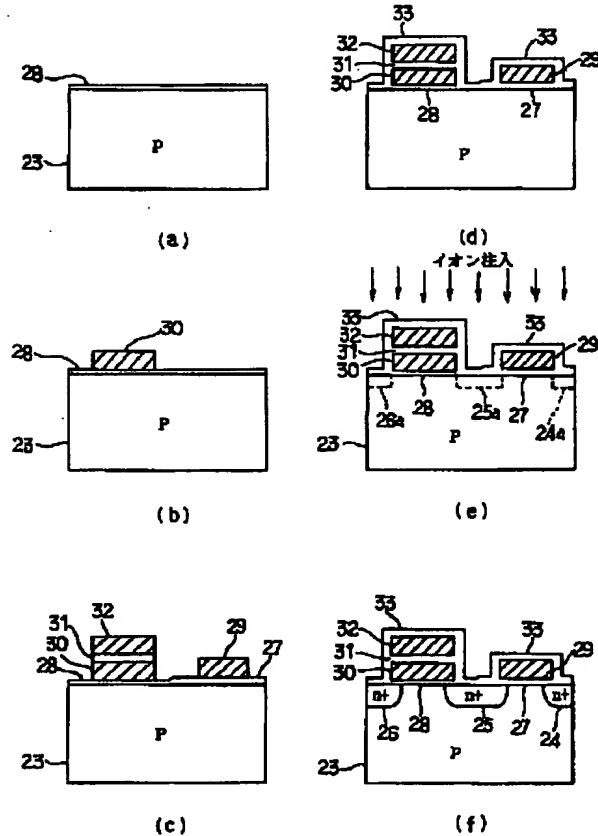
【図2】製造工程における模式的断面図

【図3】従来例を示す図1相当図

【符号の説明】

21は選択トランジスタ、22はメモリトランジスタ、23はシリコン基板（半導体基板）、24、25、26はn型不純物領域、27、28はゲート酸化膜、29は選択ゲート電極、30はフローティングゲート電極、31はコントロールゲート電極である。

【図2】





【图 3】

